



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010060981 (43) Publication Date. 20010707

(21) Application No.1019990063444 (22) Application Date. 19991228

(51) IPC Code:

H01L 21/321

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

HWANG, SUN HONG

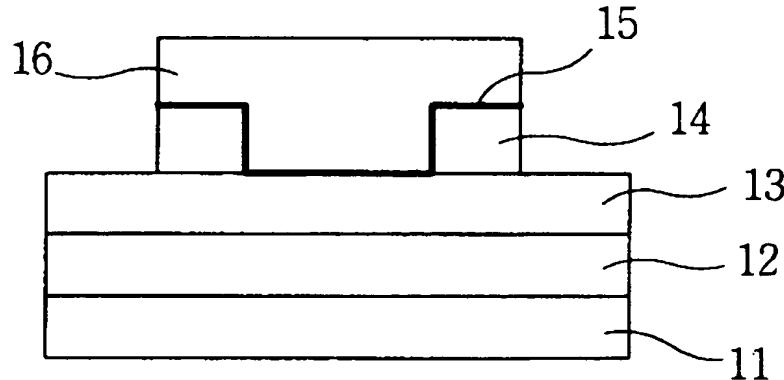
(30) Priority:

(54) Title of Invention

METHOD FOR FORMING CAPACITOR

Representative drawing

(57) Abstract:



PURPOSE: A method for forming a capacitor is provided to restrict efficiently a leakage current by using a plasma processing method.

CONSTITUTION: A lower electrode(13) of a capacitor is formed to be contacted with a lower structure such as a MOS transistor of a semiconductor substrate(11) through an interlayer dielectric (12). An oxide layer(14) is formed on an upper portion of the lower electrode(13). The oxide layer(14) is patterned. A dielectric layer (15) is formed on an upper portion of the oxide layer(14) and an upper portion of the lower electrode(13). A plasma processing for the dielectric layer(15) is performed by using N<sub>2</sub> and NH<sub>3</sub>. An upper electrode(16) is formed on

the dielectric layer(15).

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01L 21/321

(11) 공개번호 특2001-0060981  
(43) 공개일자 2001년07월07일

(21) 출원번호	10-1999-0063444
(22) 출원일자	1999년12월28일
(71) 출원인	주식회사 하이닉스반도체
	경기 이천시 부발읍 아미리 산136-1
(72) 발명자	황순홍
	충청북도 청주시 흥덕구 신봉동 527 운천주공아파트 109동 404호
(74) 대리인	박장원

실사청구 : 있음

(54) 커패시터 형성방법

#### 요약

본 발명은 커패시터 형성방법에 관한 것으로, 종래에는 상부전극 금속막의 증착온도를 낮추는 것에 한계가 있고, 후속 층간질연막의 치밀도 요구에 따라 저온증착을 적용하는 것에 한계가 있어 누설전류를 효과적으로 억제하지 못하여 커패시터의 신뢰성을 저하시키는 문제점이 있었다. 따라서, 본 발명은 하부 구조물이 형성된 반도체 웨이퍼 상에 순차적으로 하부전극, 유전막 및 상부전극을 형성하는 공정으로 이루어지는 커패시터 형성방법에 있어서, 상기 유전막을 형성한 다음 플라즈마 처리를 실시하는 것을 특징으로 하는 커패시터 형성방법을 제공함으로써, 유전막의 플라즈마 처리를 통해 누설전류를 효과적으로 억제할 수 있게 되어 소자의 동작특성 및 리프레시특성을 개선할 수 있는 효과가 있다.

#### 대표도

도4a

명세서

#### 도면의 간단한 설명

도1a 및 도1b는 종래의 기술에 의한 유전막과 상부전극의 계면반응을 보인 단면도.

도2a 내지 도2c는 본 발명의 일 실시예를 보인 수순단면도.

도3a 및 도3b는 플라즈마 처리가 이루어지지 않은 경우와 플라즈마 처리가 이루어진 커패시터의 물질 조성변화를 비교 도시한 그래프도.

도4a 및 도4b는 플라즈마 처리가 이루어지지 않은 경우와 플라즈마 처리가 이루어진 커패시터의 상부전극 인가전압( $\pm 1.05V$ )에 따른 누설전류값 분포를 비교도시한 드래프도.

도5a 및 도5b는 플라즈마 처리가 이루어지지 않은 경우와 플라즈마 처리가 이루어진 커패시터의 상부전극 인가전압( $\pm 1.05V$ )에 따른 커패시턴스 분포를 비교도시한 그래프도.

도6a 및 도6b는 플라즈마 처리가 이루어지지 않은 경우와 플라즈마 처리가 이루어진 커패시터의 상부전극 인가전압 및 온도를 변화시키면서 누설전류값을 비교도시한 그래프도.

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 커패시터 형성방법에 관한 것으로, 특히 누설전류를 최소화하기에 적당하도록 한 커패시터 형성방법에 관한 것이다.

일반적으로,  $Ta_2O_5$ 를 유전막으로 사용하는 반도체소자의 커패시터는 상부전극으로 금속을 적용하며, 특히 유전막과의 반응을 억제하기 위하여 고용정의 금속간 화합물인 TiN이나 WN 등이 적용된다.

그러나, 상부전극의 금속막 증착시 공정온도와 후속 열처리(thermal budget)등에 의하여 유전막과 상부전극의 계면에서 반응이 이루어진다. 이와같은 종래의 커패시터 형성방법을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도1a 및 도1b는 종래의 기술에 의한 유전막과 상부전극의 계면반응을 보인 단면도로서, 이에 도시한 바

와같이 적층된  $Ta_2O_5$  유전막(1)과 TiN 상부전극(2)에 후속 열처리가 적용되면,  $Ta_2O_5$  유전막(1)과 TiN 상부전극(2) 사이의 계면 반응에 의해  $TaO_x$ 막(3)과  $TiO_x$ 막(4)이 형성된다.

상기한 바와같이  $Ta_2O_5$  유전막(1)과 TiN 상부전극(2) 사이의 계면 반응에 의해 형성되는  $TaO_x$ 막(3)과  $TiO_x$ 막(4)은 커패시터의 누설전류 특성을 악화시키는 것으로 알려져 있다.

따라서, 현재 진행되는 공정에서 상부전극 금속막의 증착온도를 낮추고, 후속 열처리를 최소화하여 누설전류를 최소화하고 있다.

#### 발명이 이루고자 하는 기술적 과제

그러나, 상기한 바와같은 종래의 커패시터 형성방법은 상부전극 금속막의 증착온도를 낮추는 것에 한계가 있고, 후속 층간절연막의 치밀도(integration) 요구에 따라 저온증착을 적용하는 것에 한계가 있어 누설전류를 효과적으로 억제하지 못하여 커패시터의 신뢰성을 저하시키는 문제점이 있었다.

본 발명은 상기한 바와같은 종래의 문제점을 해결하기 위하여 창안한 것으로, 본 발명의 목적은 플라즈마 처리를 통해 누설전류를 효과적으로 억제할 수 있는 커패시터 형성방법을 제공하는데 있다.

#### 발명의 구성 및 작용

상기한 바와같은 본 발명의 목적을 달성하기 위한 커패시터 형성방법은 하부 구조물이 형성된 반도체 웨이퍼 상에 순차적으로 하부전극, 유전막 및 상부전극을 형성하는 공정으로 이루어지는 커패시터 형성방법에 있어서, 상기 유전막을 형성한 다음 플라즈마 처리를 실시하는 것을 특징으로 한다.

상기한 바와같은 본 발명에 의한 커패시터 형성방법을 첨부한 도2a 내지 도2c의 수순단면도를 일 실시예로 하여 상세히 설명하면 다음과 같다.

먼저, 도2a에 도시한 바와같이 층간절연막(12)을 통해 반도체기판(11)의 모스 트랜지스터(미도시)와 같은 하부 구조물과 선택적으로 접속되도록 커패시터의 하부전극(13)을 형성한 다음 하부전극(13)의 상부에 산화막(14)을 증착 및 이격 패터닝하고, 그 산화막(14)의 상부 및 산화막(14)이 이격된 하부전극(13) 상부에 유전막(15)을 형성한다.

그리고, 도2b에 도시한 바와같이 플라즈마 장비에서  $N_2$  및  $NH_3$ 를 이용하여 상기 유전막(15)을 플라즈마 처리한다. 이때, 플라즈마 처리는 파워 200~1000W, 셀프 바이어스 -1~100V, 압력 100mT~40torr의 조건으로 실시한다.

그리고, 도2c에 도시한 바와같이 상기 플라즈마 처리된 유전막(15) 상에 상부전극(16)을 형성한다.

한편, 도3a 및 도3b는 플라즈마 처리가 이루어지지 않은 경우와 플라즈마 처리가 이루어진 커패시터의 물질 조성변화를 비교 도시한 그래프도로서, 이에 도시한 바와같이 플라즈마 처리가 이루어진 커패시터의 유전막층에서 질소의 양이 많아진 것을 관찰할 수 있고, Ta와 O의 경우는 O의 비율이 약간 감소한 것을 관찰할 수 있으며, 이와같은 결과로부터 TaON층이 유전막과 상부전극의 계면 또는 그 이하까지 형성된 것으로 유추할 수 있으나, 별도의 바인딩 커브(binding curve) 관찰에서 TaON의 피크(peak)는 관찰되지 않았다.

그리고, 도4a 및 도4b와 도5a 및 도5b는 플라즈마 처리가 이루어지지 않은 경우와 플라즈마 처리가 이루어진 커패시터의 상부전극 인가전압( $\pm 1.05V$ )에 따른 누설전류값과 커패시턴스 분포를 비교도시한 그래프도로서, 이에 도시한 바와같이 플라즈마 처리가 이루어진 커패시터의 커패시턴스가 10% 정도 감소하고, 누설전류값이 현저히 감소함을 알 수 있으며, 누설전류값 감소효과를 감안하면 커패시턴스의 감소에 대한 단점은 상쇄될 수 있을 것이다.

그리고, 도6a 및 도6b는 플라즈마 처리가 이루어지지 않은 경우와 플라즈마 처리가 이루어진 커패시터의 상부전극 인가전압 및 온도를 변화시키면서 누설전류값을 비교도시한 그래프도로서, 이에 도시한 바와같이 플라즈마 처리가 이루어지지 않은 커패시터는 인가전압이  $\pm 3\sim 4V$  범위에서 파괴(break down)이 발생하는 반면에 플라즈마 처리가 이루어진 커패시터는  $\pm 6\sim 8V$  범위에서 파괴가 발생하는 것으로 관찰되어 내압특성이 우수하며, 또한 온도증가에 따른 특성열화가 발생하지 않는 것을 관찰할 수 있다.

#### 발명의 효과

상기한 바와같은 본 발명에 의한 커패시터 형성방법은 유전막의 플라즈마 처리를 통해 누설전류를 효과적으로 억제할 수 있게 되어 소자의 동작특성 및 리프레시특성을 개선할 수 있는 효과가 있다.

#### (57) 청구의 범위

##### 청구항 1

하부 구조물이 형성된 반도체 웨이퍼 상에 순차적으로 하부전극, 유전막 및 상부전극을 형성하는 공정으로 이루어지는 커패시터 형성방법에 있어서, 상기 유전막을 형성한 다음 플라즈마 처리를 실시하는 것을 특징으로 하는 커패시터 형성방법.

##### 청구항 2

제 1 항에 있어서, 상기 유전막으로  $Ta_2O_5$ 를 적용하는 것을 특징으로 하는 커패시터 형성방법.

##### 청구항 3

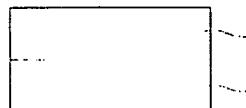
제 1 항에 있어서, 상기 플라즈마 처리는  $N_2$  및  $NH_3$ 를 이용하여 실시하는 것을 특징으로 하는 커패시터 형성방법.

#### 청구항 4

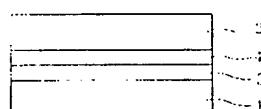
제 1 항 또는 제 3 항에 있어서, 상기 플라즈마 처리는 파워 200~1000W, 셀프 바이어스 -1~100V, 압력 100mT~40torr의 조건으로 실시하는 것을 특징으로 하는 커패시터 형성방법.

#### 도면

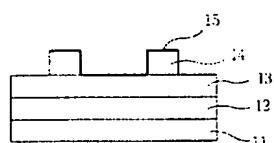
도면 1a



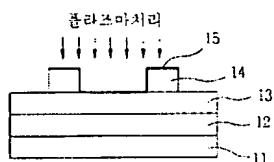
도면 1b



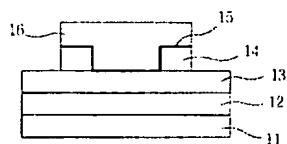
도면 2a



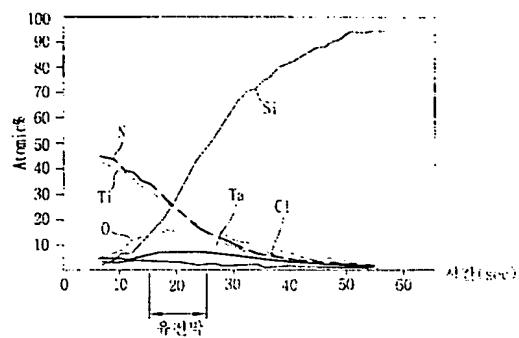
도면 2b



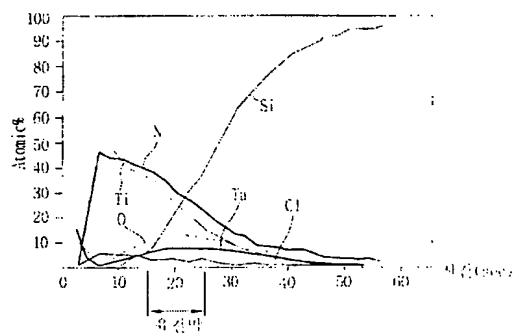
도면 2c



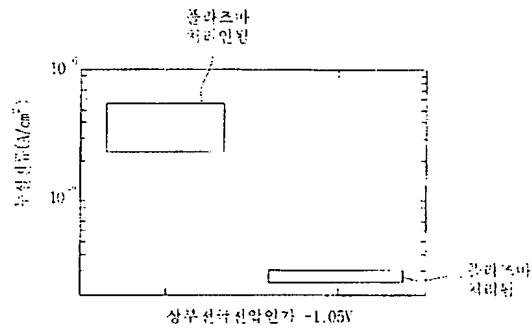
도면3a



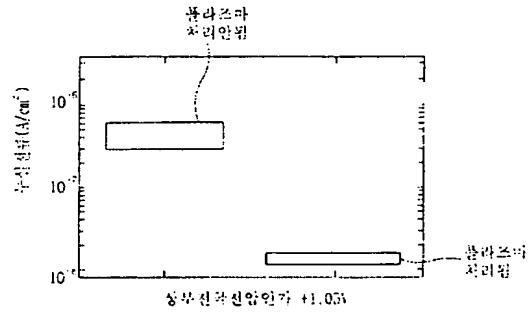
도면3b



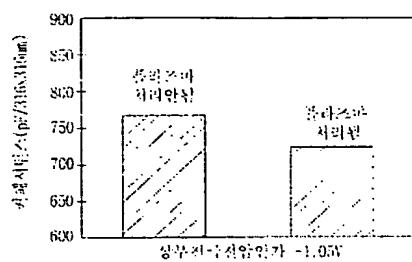
도면4a



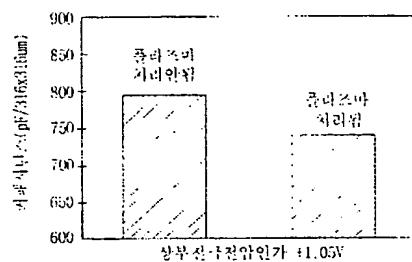
도면4b



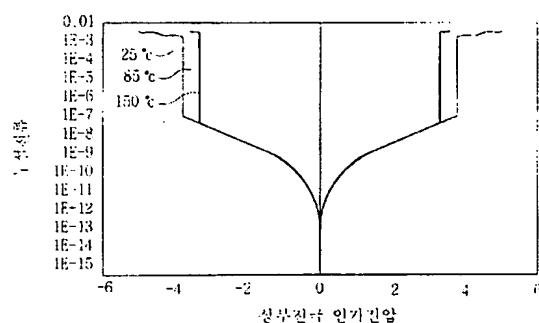
도면5a



도면5b



도면6a



도면6b

